

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-307079
(P2000-307079A)

(43)公開日 平成12年11月2日(2000.11.2)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード*(参考)	
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1	4 M 1 0 4
21/8242		21/283	C	5 F 0 0 1
21/283		27/10	4 5 1	5 F 0 3 3
21/768		21/90	D	5 F 0 8 3
27/10	4 5 1	29/78	3 7 1	
審査請求 未請求 請求項の数8 O L (全 7 頁) 最終頁に続く				

(21)出願番号 特願平11-112915

(22)出願日 平成11年4月20日(1999.4.20)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 日高 修

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 國島 巖

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(74)代理人 100092820

弁理士 伊丹 勝

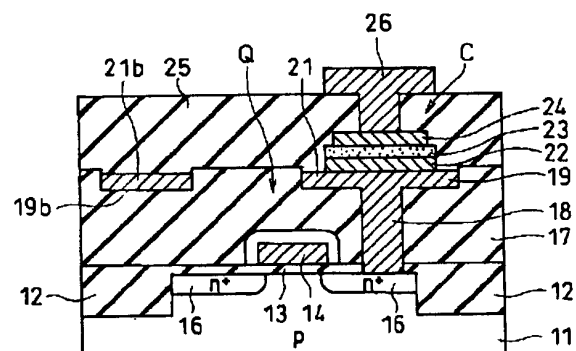
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 C O P 構造のキャパシタの特性向上と信頼性向上を図った半導体装置とその製造方法を提供する。

【解決手段】 シリコン基板11にトランジスタQを形成し、層間絶縁膜17で覆う。層間絶縁膜17にコンタクト孔18を形成し、更にコンタクト孔18の領域を含む溝19を形成して、コンタクト孔18及び溝19にコンタクトプラグ21を埋め込む。このコンタクトプラグ21上に、そのエッジより内側に位置するように、下部電極22、強誘電体膜23及び上部電極24からなる強誘電体キャパシタCを形成する。



1

【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板に形成された絶縁膜と、
この絶縁膜の表面のキャパシタ形成領域に形成された溝、及びこの溝の底部から前記半導体基板に達するように形成されたコンタクト孔に埋め込まれたコンタクトプラグと、

このコンタクトプラグ上に形成されて、コンタクトプラグのエッジより内側に位置するようにパターニングされた下部電極、複合酸化物誘電体膜及び上部電極を有するキャパシタとを有することを特徴とする半導体装置。

【請求項2】 前記複合酸化物誘電体膜は、強誘電体膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体基板に前記キャパシタと共にメモリセルを構成するトランジスタが形成され、前記キャパシタの下部電極は前記コンタクトプラグを介して前記トランジスタの拡散層に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記絶縁膜の表面に、前記コンタクト孔と重なる前記溝と共に配線溝が形成され、この配線溝に前記コンタクトプラグと同じ材料膜により配線が埋め込まれていることを特徴とする請求項1記載の半導体装置。

【請求項5】 半導体基板に絶縁膜を形成する工程と、前記絶縁膜に前記半導体基板に達するコンタクト孔を形成する工程と、

前記絶縁膜の表面の前記コンタクト孔の領域を含むキャパシタ形成領域に溝を形成する工程と、

前記コンタクト孔及び溝にコンタクトプラグを埋め込み形成する工程と、

前記コンタクトプラグ上に、コンタクトプラグのエッジより内側に位置するようにパターニングされた下部電極、複合酸化物誘電体膜及び上部電極を有するキャパシタを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 前記複合酸化物誘電体膜は、強誘電体膜であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記半導体基板に、前記絶縁膜を形成する前に前記キャパシタと共にメモリセルを構成するトランジスタを形成する工程を有し、前記コンタクト孔は前記トランジスタの拡散層上に形成することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】 前記絶縁膜の表面の前記キャパシタ形成領域に前記溝を形成する工程で同時に配線溝を形成し、この配線溝に前記コンタクトプラグの埋め込み工程で同時に配線を埋め込むことを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】この発明は、複合酸化物誘電体キャパシタを持つ半導体装置とその製造方法に関する。

【0002】

【従来の技術】強誘電体キャパシタを用いた不揮発性メモリ（FRAM）は、バッテリーレスで使用可能であり、且つ高速動作が可能であることから、RF-ID（Radio Frequency-Identification）等の非接触カードへの展開が始まりつつある。また、既存のSRAM、DRAM、フラッシュメモリ等との置き換えに対する期待も大きい。

【0003】1トランジスタ/1キャパシタのメモリセル構造を持つFRAMの基本的な製造工程は、次の通りである。シリコン基板にまずMOSトランジスタを形成する。次いでトランジスタが形成された基板にBPSG膜等の層間絶縁膜を堆積し、これを平坦化する。その後、層間絶縁膜上に強誘電体キャパシタを形成する。強誘電体キャパシタは、下部電極、強誘電体膜及び上部電極の積層構造からなる。強誘電体キャパシタの形成後、層間絶縁膜を堆積して、各素子を接続する金属配線を形成する。必要に応じて金属配線は多層配線構造とする。

【0004】FRAMの高集積化に適した構造として、キャパシタ・オン・プラグ（Capacitor On Plug：COP）構造が知られている。これは、トランジスタが形成されたシリコン基板の層間絶縁膜にトランジスタ活性領域に対するコンタクトプラグを埋め込み、このコンタクトプラグ上に強誘電体キャパシタを形成するものである。このようなCOP構造を採用すると、シリコン基板と強誘電体キャパシタの間の接続を、強誘電体キャパシタの形成工程で同時に行うことができるから、キャパシタ形成後に配線接続を行う場合に比べて、無用な配線やコンタクトのスペースをなくすることができる。

【0005】しかし本発明者らの研究によると、COP構造を採用した場合、強誘電体キャパシタにはCOP構造に起因する問題が生じることが明らかになった。この問題を具体的に、図4及び図5を参照して説明する。図4（a）は、トランジスタ2が形成されたシリコン基板1に層間絶縁膜3を形成し、この層間絶縁膜3にコンタクトプラグ4を埋め込んだ状態を示している。コンタクトプラグ4の埋め込みは例えば、タングステン等の導電材料を堆積した後、化学的機械的研磨（Chemical Mechanical Polishing：CMP）による平坦化処理を行うことによりなされる。このCMP工程では、導電材料膜と層間絶縁膜の研磨速度が異なるため、図示のように段差5が残る。この段差5は、数百nm程度となる。

【0006】図4（b）は、上述のように段差5が残るコンタクトプラグ4上に強誘電体キャパシタ6を形成した状態である。強誘電体キャパシタ6は、下部電極61、強誘電体膜62及び上部電極63により構成される。強誘電体膜62は例えばPZT（PbZr_{1-x}Ti_x

3

03) であり、この場合下部電極61及び上部電極63は代表的には白金(Pt)である。ところが下部電極61にPtを用いた場合、Ptの成長は自己配向性が強く、平坦部ではその平坦面に垂直に、また段差部では段差部の面に垂直な方向に結晶粒が成長する結果、段差部5において、結晶粒界に大きな隙間(空孔)が発生する。強誘電体膜62は、スパッタ法或いはゾルゲル法により堆積した後、結晶化の熱処理を行うが、その結晶成長は下部電極61の結晶に依存するため、強誘電体膜62も段差部5で空孔が多いものとなる。上部電極83がPtの場合、下部電極61と同様の理由で段差部5に空孔が多いものとなる。

【0007】以上のように、強誘電体キャパシタ6の各多結晶粒成長過程で、段差部5では結晶粒配列の乱れが連鎖的に起こる。図5は、そのように形成される強誘電体キャパシタ6の模式的な結晶粒の構造を示しており、段差部5に大きな空孔が形成される領域Aが生じる様子を示している。

【0008】

【発明が解決しようとする課題】以上のように、段差の影響を受けて強誘電体キャパシタが空孔の多いものとなると、次のような問題が生じる。

①強誘電体膜62の材料が下部電極61の結晶粒界を介して下地に拡散し、下地材料と反応して膜剥がれの原因となる。具体的に例えば、強誘電体膜62としてPZT膜を用いた場合、PZT中の鉛(Pb)が下地の層間絶縁膜にまで拡散すると、熱工程でシリコン酸化物と鉛の反応により鉛ガラスが形成される。鉛ガラスは低融点であるために、ドーム状の剥がれを生じる。

②強誘電体膜62の結晶粒界に他の物質が拡散すると、本来絶縁体である強誘電体膜62は導電性の大きいものとなる。例えば、上部電極63として、 IrO_2 、 RuO_2 、 SrRuO_3 等の酸化物電極材料を用いた場合には、その構成元素が強誘電体膜62の粒界に拡散して、上下電極間のリークが大きいものとなる。

③上部電極63に形成される粒界の空孔は、その後の各種プロセスのダメージが強誘電体膜62に伝え、強誘電性の劣化の原因となる。例えば、強誘電体膜62がPZT膜の場合、水分や水素が上部電極63を貫通することにより、PZT膜の特性を劣化させる。特に電極材料にPt等を用いた場合には、その触媒作用により、強誘電体膜の残留分極特性が劣化することが知られている。同様の現象は、他の複合酸化物誘電体材料を用いたキャパシタの場合にも生じ得る。

【0009】この発明は、上記事情を考慮してなされたもので、COP構造のキャパシタの特性向上と信頼性向上を図った半導体装置とその製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】この発明に係る半導体装

4

置は、半導体基板と、この半導体基板に形成された絶縁膜と、この絶縁膜の表面のキャパシタ形成領域に形成された溝、及びこの溝の底部から前記半導体基板に達するように形成されたコンタクト孔に埋め込まれたコンタクトプラグと、このコンタクトプラグ上に形成されて、コンタクトプラグのエッジより内側に位置するようにパターンニングされた下部電極、複合酸化物誘電体膜及び上部電極を有するキャパシタとを有することを特徴としている。

【0011】この発明に係る半導体装置の製造方法は、半導体基板に絶縁膜を形成する工程と、前記絶縁膜に前記半導体基板に達するコンタクト孔を形成する工程と、前記絶縁膜の表面の前記コンタクト孔の領域を含むキャパシタ形成領域に溝を形成する工程と、前記コンタクト孔及び溝にコンタクトプラグを埋め込み形成する工程と、前記コンタクトプラグ上に、コンタクトプラグのエッジより内側に位置するようにパターンニングされた下部電極、複合酸化物誘電体膜及び上部電極を有するキャパシタを形成する工程とを有することを特徴としている。

【0012】この発明において用いられる複合酸化物誘電体膜は、代表的にはPZT等の強誘電体膜であり、従って形成されるキャパシタは大きな残留分極特性を示す強誘電体キャパシタである。このような強誘電体キャパシタの残留分極特性を用いることにより、不揮発性メモリが得られる。

【0013】この発明において好ましくは、半導体基板にトランジスタが形成され、このトランジスタとキャパシタによりメモリセルが構成される。即ち、キャパシタの下部電極は、コンタクトプラグを介してトランジスタの拡散層に接続され、1トランジスタ/1キャパシタのメモリセルが構成される。

【0014】更にこの発明において好ましくは、コンタクトプラグ埋め込み用の溝を形成する工程で同時に層間絶縁膜表面に配線溝が形成され、この配線溝にコンタクトプラグと同時に同じ材料により配線が埋め込まれる。

【0015】この発明によると、キャパシタのコンタクトプラグは、デュアルダマシーン技術を利用して、層間絶縁膜のコンタクト孔とこれを含むキャパシタ形成領域に形成された溝に埋め込まれる。即ち、コンタクト孔のみに埋め込む従来法に比べて、コンタクトプラグの表面積が大きいものとなる。そして、キャパシタはこのコンタクトプラグ上に、コンタクトプラグのエッジより内側に位置するようにパターン形成される。従って、コンタクトプラグ埋め込みの工程で形成される段差部で下部電極、複合酸化物誘電体膜及び上部電極の結晶粒界に大きな空孔が生じたとしても、パターン加工時にその大きな空孔を含む部分を除去することによって、キャパシタ内部には大きな空孔は含まれないようにすることができる。以上の結果、キャパシタ内部の結晶粒界に無用の拡散パスがなくなり、良好な特性を示し、且つ信頼性の高

5

いキャパシタが得られる。

【0016】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1～図3は、この発明の実施の形態によるFRAMの一つのメモリセル部に着目した製造工程を示している。この実施の形態の場合メモリセルは、通常のDRAMと同様に、一つのMOSトランジスタQとキャパシタCにより構成される。

【0017】図1(a)に示すように、[100]方位を持つp型シリコン基板11に素子分離絶縁膜12を形成する。素子分離絶縁膜12はこの実施の形態の場合、浅い溝を加工してこの溝に絶縁膜を埋め込むSTI(Shallow Trench Isolation)法により形成しているが、LOCOS法により形成することもできる。次に、トランジスタのチャンネル領域にしきい値調整のためのチャンネルイオン注入を行った後、ゲート酸化膜13を形成してゲート電極14をパターン形成する。ゲート電極14は好ましくは、n型ポリシリコン膜にタングステン・シリサイド膜を積層したものとする。

【0018】ゲート電極14は具体的には、紙面に直交する方向に連続的にパターン形成されて、ワード線となる。その後ゲート電極14の表面を酸化して保護膜となる酸化膜15を形成した後、イオン注入を行ってソース、ドレインとなるn型拡散層16を形成する。酸化膜15は、CVD法等による酸化膜或いは窒化膜等の堆積膜であってもよい。以上により、MOSトランジスタQが完成する。

【0019】次に、図1(b)に示すように、BPSG膜等の層間絶縁膜17を堆積する。この層間絶縁膜17に、リソグラフィとRIEによりトランジスタQの拡散層16に達するコンタクト孔18を形成する。再び層間絶縁膜17に対してリソグラフィとRIEを行って、コンタクト孔18の領域を含むキャパシタ形成領域にコンタクトプラグ埋め込み用の浅い溝19を形成する。なおここでは、溝19の形成後に、コンタクト孔18の形成を行ってもよい。この溝19の形成と同時に、層間絶縁膜17の別の箇所には、配線層埋め込み用の溝19bを形成する。

【0020】次に、図1(c)に示すように、コンタクトプラグとなる電極材料膜20を堆積する。電極材料膜20は好ましくはタングステンであり、その堆積法はスパッタ法或いはCVD法である。その後、電極材料膜20にCMP処理を施す。これにより、図2(a)に示すように、溝19とコンタクト孔18に断面T字状をなしてコンタクトプラグ21が略平坦に埋め込まれる。

【0021】以上のコンタクトプラグ21の埋め込み工程は、デュアルダマシーン法として知られる配線埋め込みの技術を応用したものである。このコンタクトプラグ21の埋め込みと同時に、配線用溝19bにも埋め込み配線層21bが形成される。図示のように、埋め込まれ

6

るコンタクトプラグ21のエッジには、層間絶縁膜17との間に数百nm程度の段差が避けられない。

【0022】次に、コンタクトプラグ21上への強誘電体キャパシタの形成を行う。まず、図2(b)に示すように、下部電極材料膜220、強誘電体膜23及び上部電極材料膜240を順次堆積する。下部電極材料膜220は、スパッタによるPt膜又はイリジウム(Ir)膜である。Ptを用いる場合には、下地にチタン(Ti)又は窒化チタン(TiN)を堆積する。これは、Pt膜の密着性を良好にして膜剥がれを防止するためである。

【0023】強誘電体膜23には、ペロブスカイト型結晶構造を持つPZTを用いるが、同様の強誘電体膜であるSBT(SrBi₂Ta₂O₉)等を用いてもよい。強誘電体膜23は、スパッタ法又はゾルゲル法により堆積し、酸素雰囲気中で700℃、1時間程度の熱処理を行って結晶化させる。先に説明したように、段差部で成長する下部電極材料膜220、強誘電体膜23及び上部電極材料膜240は、結晶粒界の空孔が多いものとなる。図2(b)には、この空孔の多くなる領域Aを示している。

【0024】上部電極材料膜240には下部電極材料膜220と同様にPt膜又はIr膜を用いる。或いは上部電極材料膜240として、イリジウム酸化物膜又はストロンチウム・ルテニウム酸化物膜とPt膜の積層構造、更にはイリジウム酸化物膜又はストロンチウム・ルテニウム酸化物膜とIr膜の積層構造を用いることも有効である。これらの積層電極構造は、キャパシタの疲労耐性を向上させる。

【0025】次に、図2(c)に示すように、上部電極材料膜240をリソグラフィと異方性エッチングにより上部電極22としてパターン形成する。このとき、レジストパターンは、コンタクトプラグ21のエッジより所定距離だけ内側に位置するように形成されるものとし、従って上部電極24がコンタクトプラグ21のエッジ上方にある空孔の多い領域Aを含まないようにする。続いて、別のリソグラフィと異方性エッチングにより、強誘電体膜23をパターン形成する。この場合のレジストパターンは、上部電極22の加工時のそれより僅かに広い範囲を覆うものとするが、コンタクトプラグ21のエッジより所定距離だけ内側に位置するようにし、残される強誘電体膜23がコンタクトプラグ21のエッジ上方にある空孔の多い領域Aを含まないようにする。更に、下部電極材料膜220をリソグラフィと異方性エッチングにより下部電極22としてパターン形成する。この工程でも、レジストパターンは、コンタクトプラグ21のエッジより所定距離だけ内側に位置するようにし、残される下部電極22がコンタクトプラグ21のエッジ上方にある空孔の多い領域A、即ち拡散パスを含まないようにする。

【0026】以上のパターンニング工程により、COP構

7

造の強誘電体キャパシタCが完成する。強誘電体キャパシタCは、断面T字型のコンタクトプラグ21の上に、コンタクトプラグ21のエッジより内側に位置するように形成されたことになる。この後、図3に示すように、再度層間絶縁膜25を堆積し、A1をパターニングして、例えば紙面に直交する方向に並ぶ複数の強誘電体キャパシタCの上部電極24を連結するプレート26を形成する。プレート26は、この上に信号配線を形成する場合にはその配線のコンタクト部を除いて、層間絶縁膜25上に全面的に形成してもよい。以下図示しないが、必要に応じて更に層間絶縁膜を介して第2層A1配線を形成する。この第2層A1配線により、MOSトランジスタQのキャパシタCと反対側の拡散層16に接続されるビット線等も形成される。

【0027】以上のようにこの実施の形態では、コンタクトプラグ埋め込みにデュアルダマシーン法を利用することにより、コンタクトプラグの表面積を最終的に形成される強誘電体キャパシタの面積より大きく確保している。そして、強誘電体キャパシタは、コンタクトプラグの埋め込み工程で生じる段差に起因する結晶粒の空孔の多い部分を除去するようにパターン形成している。これにより、強誘電体キャパシタは、無用な拡散バスの結晶粒界に残されず、上下電極間のリーク増大、強誘電体材料元素の下地との反応による膜剥がれ、水素や水分が上部電極を貫通することによる強誘電体膜の残留分極特性の劣化等が防止される。

【0028】またこの実施の形態によると、コンタクトプラグの埋め込み工程でキャパシタ用の溝と同時に配線溝を形成することにより、コンタクトプラグと同時に埋め込み配線が形成される。この埋め込み配線は例えば、キャパシタのプレートの裏打ち配線として利用することができ、これによりプレートの低抵抗化を図ることができる。また埋め込み配線は、基板の拡散層等と接続される信号配線の一部としても利用できる。

【0029】なお、COP構造のキャパシタに関して、この発明と類似の断面T字型のコンタクトプラグを形成する例は、いくつか提案されている。例えば、(A)特開平8-330451号公報、(B)特開平5-299601号公報、(C)特開平10-270652号公報等である。しかし、(A)と(C)は強誘電体膜をエピタキシャル成長により形成し、残留歪みによる強誘電性を利用するもので、強誘電体キャパシタが完全にコンタクトプラグのエッジの内側に位置するようには形成されておらず、この発明におけるような多結晶粒の空孔は問題とされていない。

【0030】(B)の図1の実施例では、コンタクトプラグをコンタクト孔の外側にも残して平坦化し、その上

8

にキャパシタを形成している。しかし、コンタクトプラグ材料をコンタクト孔の外側に一定厚み残して平坦化することは、實際上研磨制御が極めて難しい。また、コンタクトプラグ電極をコンタクト孔の外側にも残すと、その分だけこの上に形成されるキャパシタ全体の厚みが大きくなり、その後の配線工程でアスペクト比が問題になる。従って、この発明のようにコンタクトプラグの埋め込みにデュアルダマシーン法を適用することの優位性は明らかである。しかも、(B)では図30等の実施例において、コンタクトプラグを段差のある状態でコンタクト孔に埋め込む構造が示されている。これは、この発明が解決しようとする課題をそのまま残しているものといえることができ、言い換えればこの発明の趣旨は、(B)においては意図されていない。

【0031】この発明は、上記実施の形態に限られない。実施の形態では強誘電体キャパシタを持つFRAMを説明したが、この発明は、他の複合酸化物誘電体例えば、BSTO ($\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$) 等の高誘電体を用いたキャパシタを持つ半導体装置にも同様に適用することができる。誘電体膜としてBSTO膜を用いた場合には、上下電極としてルテニウム(Ru)やその酸化物(RuO_2)等を用い得る。

【0032】

【発明の効果】以上述べたようにこの発明によれば、絶縁膜に埋め込まれた断面T字状のコンタクトプラグ上にそのエッジより内側に位置するようにキャパシタを形成することにより、COP構造のキャパシタの特性向上と信頼性向上を図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態によるFRAMの製造工程を示す断面図である。

【図2】同実施の形態のFRAMの製造工程を示す断面図である。

【図3】同実施の形態のFRAMの断面図である。

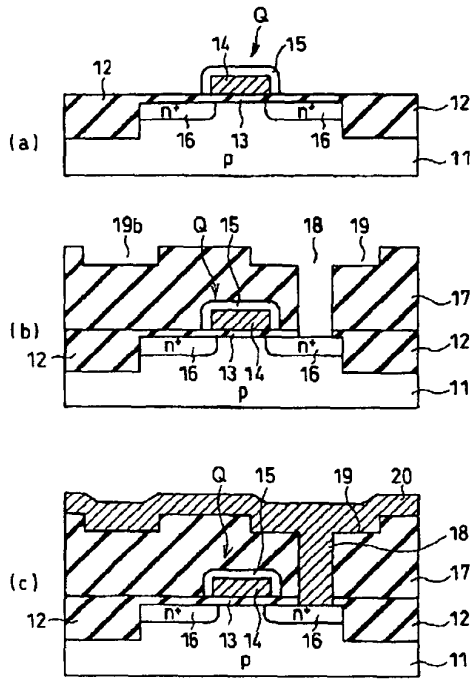
【図4】従来のFRAMの製造工程を示す断面図である。

【図5】従来技術の問題点を説明するためのキャパシタの模式断面図である。

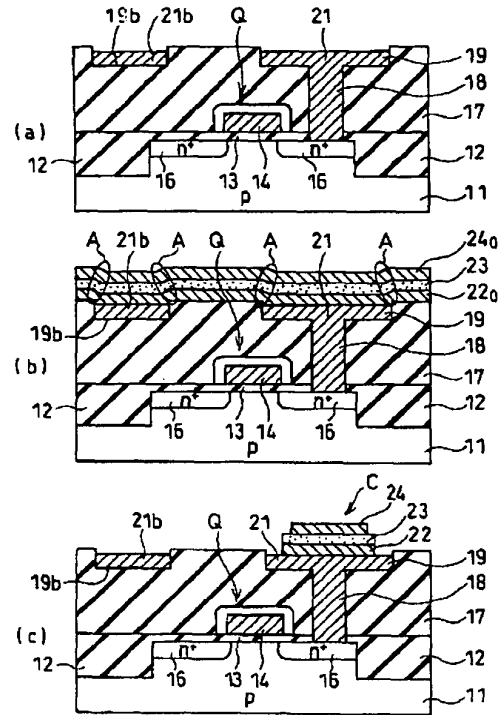
【符号の説明】

11…シリコン基板、12…素子分離絶縁膜、13…ゲート酸化膜、14…ゲート電極、16…n型拡散層、17…層間絶縁膜、18…コンタクト孔、19…溝、20…電極材料膜、21…コンタクトプラグ、22…下部電極、23…強誘電体膜、24…上部電極、25…層間絶縁膜、26…プレート、Q…トランジスタ、C…強誘電体キャパシタ。

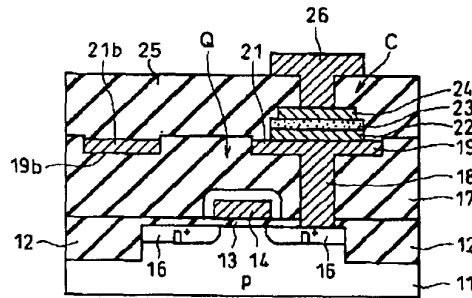
【図1】



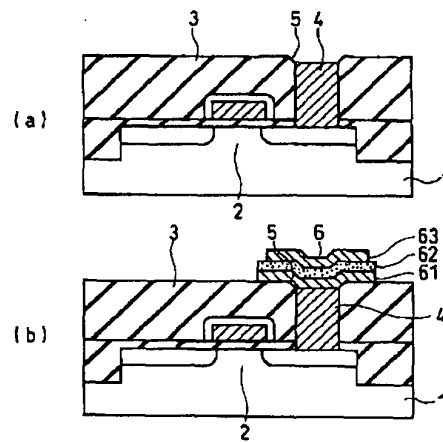
【図2】



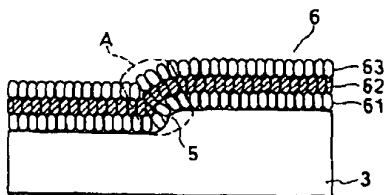
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テームコード (参考)

H O 1 L 21/8247

29/788

29/792

F ターム (参考) 4M104 BB18 CC01 DD37 DD43 GG16

HH20

5F001 AA17 AD12 AD33 AD41 AF07

AG21 AG30

5F033 JJ19 MM02 PP06 PP15 RR15

VV16 XX28

5F083 AD21 FR02 GA21 GA25 JA15

JA17 JA36 JA38 JA39 JA43

MA06 MA17 NA01 PR33 PR40